



# СУПЕРСКОРОСТНОЙ ЦАП С ПРОИЗВОДИТЕЛЬНОСТЬЮ, ИЗМЕРЯЕМОЙ МИЛЛИАРДАМИ ВЫБОРОК В СЕКУНДУ

В статье рассматриваются некоторые параметры нового цифро-аналогового преобразователя LTC2000, особенности его функционального и конструктивного построения, а также варианты применения совместно с другими продуктами корпорации Linear Technology.

В конце 2014 г. корпорация Linear Technology начала реализовывать на мировом рынке цифро-аналоговый преобразователь (ЦАП) LTC2000. Благодаря инновационному нестандартному решению технических задач при проектировании нового прибора были достигнуты выдающиеся технические параметры.

## LTC2000 в сравнении с аналогами других фирм

Прежде чем перейти к рассмотрению ключевых параметров ЦАП, напомним, что преобразование некоторого цифрового кода в исходный электрический сигнал тока или напряжения позволяет воссоздать тот образ, который предварительно был подвергнут дискретизации, т. е. через

достаточно малые промежутки времени производился отсчет текущего значения одного из параметров сигнала (напряжения или тока). Причем значение тока или напряжения регистрировалось не в амперах или вольтах, а в наименьших значащих битах некоторого цифрового кода, или, другими словами, сигнал оцифровывался (квантовался). Следовательно, чем выше частота дискретизации, позволяющая в цифровом коде зафиксировать в каждый отдельный момент времени текущее значение параметра сигнала, и чем больше разрядность (дробность) используемого цифрового кода, тем точнее после цифро-аналогового преобразования будет представлен образ сигнала, состоящий из множественного ряда его дискретных моделей, или выборок (samples).

В верхней строке таблицы 1 представлена разрядность цифрового кода. Видно, что по данному параметру LTC2000 — единственный из всех образцов — достиг дискретизации выходного тока преобразователя 16 бит. Следующий параметр — производительность ЦАП, измеряемая поддерживаемой скоростью преобразования выходных дан-

Таблица 1. Сравнение LTC2000 с аналогичными ЦАП по техническим характеристикам

	LTC2000	ADxxxx	ADxxxx	MAXxxxx	MAXxxxx	DACxxx
Разрядность, бит	16-/14-/11	14-/11		14		
Частота выборок, млрд/с		2,5	2,8	2,3		2,4
SFDR 100 МГц, дБн	76	70	75	–		55
SFDR 550 МГц, дБн	70	58	64	–		50
SFDR 950 МГц, дБн	68	55		–		
Полномасштабный ток, мА	40	20	33	80		20
Нелинейность, LSB	±1	±2,5		–		
Мощность, Вт	2,2/1,3	1,1		2,3		1,8
Тип корпуса	BGA					
Габариты, мм	9×15	12×12		17×17		

ных (Sampling Rate). Единицей измерения параметра служит миллиард ( $10^9$ ) выборок в секунду (Giga Samples per second, Gsps). Как можно видеть, только образцы 2 и 3 (компании Analog Devices, AD) могут конкурировать по данному параметру с LTC2000. Но эти образцы существенно уступают по всем остальным параметрам (кроме потребляемой мощности) и в общем плане явно проигрывают продукту от Linear Technology.

В теории цифро-аналогового преобразования показано, что когда ЦАП с заданной периодичностью, определяемой частотой тактовых импульсов  $f_{DAC}$ , воссоздает некоторый образ переменного тока с несущей частотой  $f_{OUT}$ , конечная разрядность квантования исходного сигнала приводит к обогащению выходного спектра высокочастотными побочными компонентами с несущей частотой  $f = n f_{DAC} \pm m f_{OUT}$  (здесь  $n, m$  — целые числа: 0, 1, 2, 3...). Чем выше разрядность ЦАП, тем меньше ошибка квантования и, соответственно, меньше амплитуда побочных компонентов преобразования, связанных с этой ошибкой.

Именно побочные компоненты преобразования определяют такой важный показатель ЦАП, как динамический диапазон, свободный от паразитных составляющих, т.е. гармоник (Spurious Free Dynamic Range, SFDR). Он представляет собой соотношение в децибелах между уровнем несущей частоты (Carrier Frequency) и величиной максимального пика среди побочных компонентов в спектре выходного сигнала. Единицу измерения SFDR обозначают как dBc, подчеркивая принадлежность параметра к несущей (carrier). Динамический диапазон выходного сигнала ЦАП, свободный от паразитных составляющих, легко определить с помощью анализатора спектра (рис. 1), на экране которого присутствуют основной сигнал с произвольным уровнем и ряд побочных компонентов. Разность уровней основного сигнала и наиболее мощной гармоники дает в результате искомое значение SFDR. В таблице 1 приведено значение данного показателя для сравниваемых образцов, и в свете вышесказанного пояснения становится понятным явное преимущество продукта Linear Technology с разрядностью цифрового кода, недо-

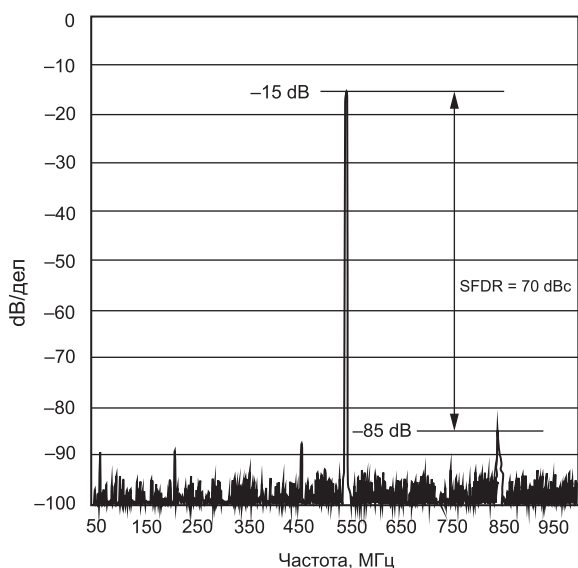


Рис. 1. Определение динамического диапазона выходного сигнала ЦАП, свободного от паразитных составляющих

стижимой для остальных образцов. Поясним приведенные в таблице значения SFDR для данного образца, как это иллюстрирует рисунок 2.

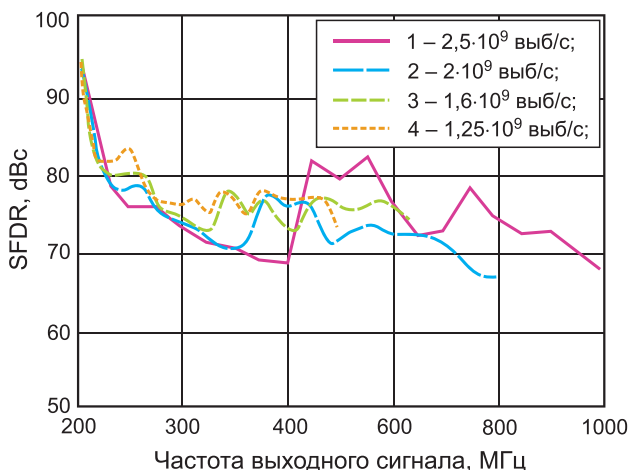


Рис. 2. Частотная зависимость динамического диапазона выходного сигнала ЦАП LTC2000, свободного от паразитных составляющих

В общем случае максимально возможная частота выходного сигнала ЦАП не превышает 40–50% от частоты производимых выборок в ЦАП. Поэтому на рисунке приведены диаграммы, соответствующие четырем значениям частоты выборок — 2,5, 2, 1,6 и 1,25 млрд выб/с. Для них максимальная частота выходного сигнала ЦАП составит 1000, 800, 640 и 500 МГц, поэтому вблизи данных точек ход диаграмм по частотной шкале обрывается. Но если для каждой из диаграмм зафиксировать значения SFDR, можно убедиться, что при всех возможных частотах выборок они даже с некоторым запасом превышают приведенные данные в таблице. У остальных образцов данный параметр существенно ниже, либо совсем не нормируется.

Энергетическую способность ЦАП характеризует его полномасштабный (Full Scale) выходной ток. Данный термин подчеркивает возможность в любом ЦАП масштабировать (программно регулировать коррекцией цифрового кода) его некоторое номинальное значение выходного тока, составляющее для LTC2000 40 мА. У других образцов, кроме 4 и 5 (продукция фирмы Maxim), данный показатель существенно ниже. Что касается этих образцов, для них не нормирован важнейший показатель SFDR и они могут быть использованы только в малопрецизионных исследованиях и приложениях, в которых наиболее важной является мощность выходного сигнала.

Следующий важнейший параметр анализируемых ЦАП — интегральная нелинейность (Integral Nonlinearity, INL), которая представляет собой максимальное отклонение фактического тока на аналоговом выходе от идеальной зависимости, определяемой прямой линией полномасштабного тока  $\pm 40$  мА во всем интервале допустимых значений наименьших значащих битов (Least Significant Bit, LSB); типовое значение параметра (Typ INL) не превышает  $\pm 1$  LSB. Смысл данного параметра поясняет рисунок 3. 16-разрядный цифровой код по основанию 2 в десятиричном исчислении соответствует интервалу значений  $2^{16} = 65536$ , или  $\pm 32768$  относительно 0. На рисунке заметно отклонение

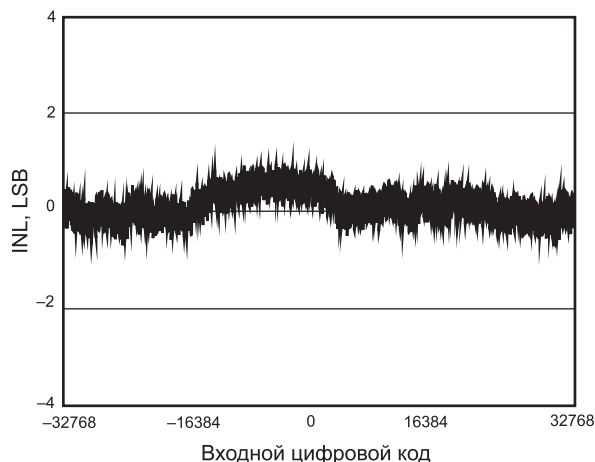


Рис. 3. Интегральная нелинейность выходного сигнала ЦАП LTC2000

INL до численного значения менее 1 LSB в интервале цифровых кодов  $[-16384; 0]$ , при которых возникнет незначительное нарушение линейности выходного тока. Вне указанного интервала линейность тока близка к идеальной.

Потребляемая мощность ЦАП LTC2000 не превышает 2,2 Вт, при этом имеется возможность снижения потребляемой мощности вдвое в одном из штатных режимов, о котором будет рассказано далее. По данному параметру лишь образцы 2 и 3 (AD) имеют преимущество, но по всем остальным показателям они уступают продукту Linear Technology.

Что касается корпуса микросхем, у всех образцов он одностипный: BGA (Ball Grid Array – «расположение шаров в узлах сетки»), но у LTC2000 занимаемая на печатной плате площадь минимальна.

Приведенный анализ сравнительной характеристики параметров ЦАП LTC2000 объективно свидетельствует о его неоспоримом преимуществе перед остальными аналогами. Однако перед рассмотрением основных принципов функционирования микросхемы необходимо охарактеризовать другие ее важные параметры, не вошедшие в сравнительный анализ.

### Спектральная плотность шумов и фазовый шум ЦАП

По определению, спектральная плотность шумов NSD (Noise Spectral Density) есть не что иное, как измеряемая в децибелах относительно уровня 1 мВт мощность шума преобразователя на единицу полосы пропускания, т. е. 1 Гц. При этом выходной ток ЦАП LTC 2000 устанавливается равным его номинальному значению 40 мА (0 dBm) для полномасштабного сигнала. Единицу измерения NSD обозначают как dBm/Гц.

В справочных данных по микросхеме LTC2000 [1] для спектральной плотности шумов (рис. 4) приведены значения NSD при двух значениях частоты производимых выборок — 2,5 и 1,25 млрд выб/с. Сравнивая показанные диаграммы, можно сделать вывод о почти линейной зависимости спектральной плотности шумов от частоты выходного сигнала.

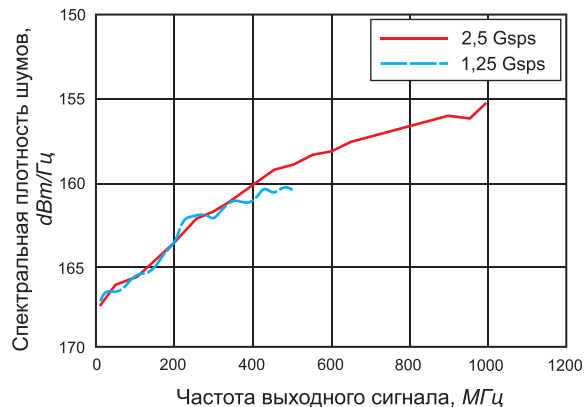


Рис. 4. Частотная зависимость спектральной плотности шумов в выходном сигнале

По мере возрастания частоты выходного сигнала от минимального до максимально возможного значения плотность шумов снижается от 168 до 155 dBm/Гц. Также видно, что плотность шумов примерно одинакова на разных частотах выборок. Но если в ходе исследования изменить номинальный ток выходного сигнала (рис. 5), становится очевидным, что при возрастании выходного тока плотность шумов снижается, а при уменьшении тока — увеличивается.

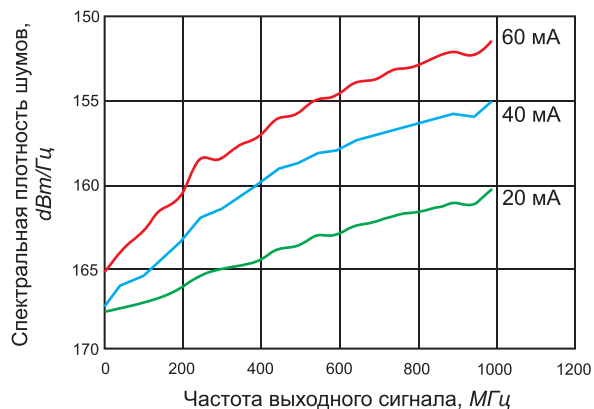


Рис. 5. Зависимость спектральной плотности шумов от выходного тока

В настоящее время в связи с повсеместным переходом в телевидении от аналогового к цифровому телевидению высокой четкости (HD) разработчики телекоммуникационного оборудования вынуждены самое серьезное внимание уделять фазовой стабильности передаваемых сигналов. При этом различают два рода нестабильности, которые иллюстрирует рисунок 6. Прежде всего, это так называемый джиттер (рис. 6а), или сравнительно медленное дрожание фазы выходного сигнала ЦАП, которое представляет собой измеряемое пикосекундами (пс) динамическое отклонение фазы сигнала от среднего положения, измеренного за продолжительный период времени. Основной вклад в такую нестабильность вносит тактовый генератор синхронизации ЦАП, задающий частоту производимых выборок. Если учесть, что на частоте 2,5 ГГц период составляет всего лишь 400 пс, вполне очевидно требование обеспечения джитте-

ра в тактовом генераторе не более 10–20 пс. Но дополнительный вклад могут вносить также сильные внешние электрические и магнитные поля и помехи по питающим проводникам.

В отличие от джиттера, фазовый шум является мерой нестабильности фронта либо спада тактовых импульсов синхронизации ЦАП на коротких промежутках времени (рис. 6б), поскольку такой высокочастотный шум воспринимается как «шумовая дорожка». Природа его происхождения больше связана с температурными шумами, поэтому фазовый шум присущ абсолютно всем электронным компонентам, входящим в состав

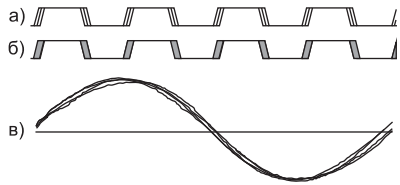


Рис. 6. Фазовая нестабильность выходного сигнала ЦАП

и тактового генератора ЦАП, и самого ЦАП. Измеряется фазовый шум в единицах удельной плотности  $\text{dBc}/\text{Гц}$  по отношению к основному выходному сигналу в полосе частот 1 Гц при различной величине частотной отстройки. Воздействие джиттера и фазового шума на выходной сигнал ЦАП иллюстрирует рисунок 6в.

На рисунке 7 показана зависимость фазового шума выходного сигнала частотой 65 МГц в ЦАП LTC2000 с производительностью 2,5 млрд выб/с. При относительной отстройке от 10 Гц до 1 МГц фазовый шум почти линейно снижается — от  $-110$  до

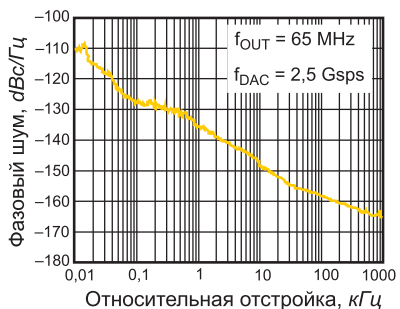


Рис. 7. Изменение фазового шума выходного сигнала при отстройке от центральной частоты выходного сигнала

$-165 \text{ dBc}/\text{Гц}$ , что является хорошим результатом. Для большинства ЦАП других производителей фазовый шум при отстройке на 1 кГц от основной частоты, равный  $-130 \text{ dBc}/\text{Гц}$ , считается отличным показателем. Если обратиться к рис. 7, можно увидеть, что в нашем случае результат даже лучше на  $5 \text{ dBc}/\text{Гц}$ .

Изложенные выше сведения об основных параметрах ЦАП LTC2000 позволяют перейти к более детальному знакомству с функционированием микросхемы.

### Функциональная схема цифро-аналогового преобразователя LTC2000

На рис. 8 представлена функциональная схема ЦАП LTC2000, состоящего из двух частей — аналоговой

и цифровой. Напряжение питания 1,8 и 3,3 В подают на соответствующие выводы  $AV_{DD18}$  (Analog Voltage),  $AV_{DD33}$ ,  $DV_{DD18}$  (Digital Voltage),  $DV_{DD33}$  относительно общего заземляемого проводника GND (Ground). В составе микросхемы можно выделить несколько крупных функциональных блоков. Это порты приема входных цифровых данных с каналом их тактирования, узлы обработки и выборки входных данных, собственно ЦАП с отдельным каналом тактовых импульсов и цепями регулирования выходного тока, последовательный периферийный интерфейс (Serial Peripheral Interface, SPI) для конфигурирования и контроля состояния внутренних регистров, тестовый вывод данных (Test Output Pins, TSTP/N) по некоторым внутренним параметрам микросхемы. Рассмотрим алгоритм функционирования микросхемы.

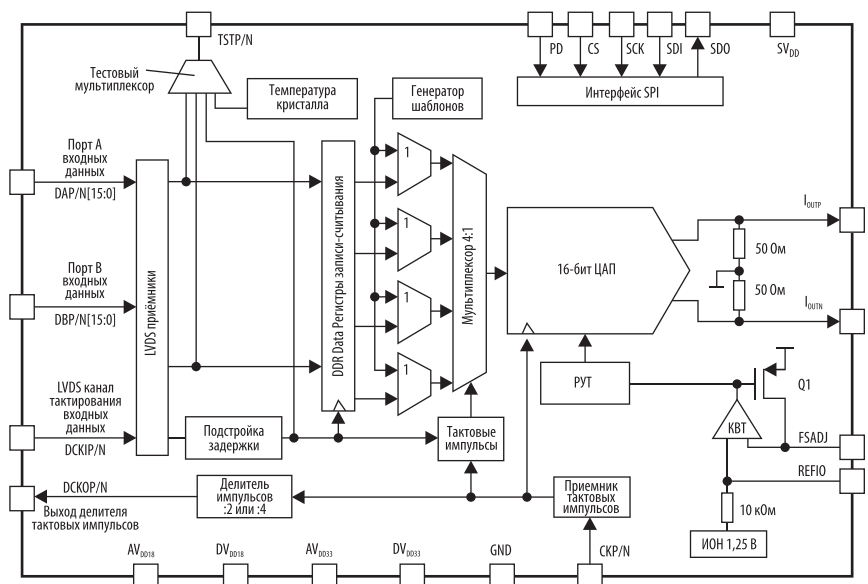


Рис. 8. Функциональная схема скоростного цифро-аналогового преобразователя LTC2000

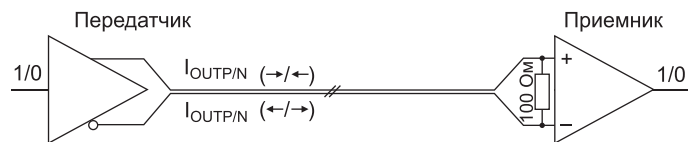


Рис. 9. Принцип работы LVDS-интерфейса

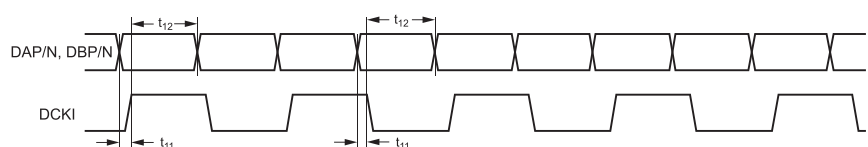


Рис. 10. Временные диаграммы регистрации информации по LVDS-интерфейсу

### Обработка информации в режиме одиночного входного порта

В режиме одиночного входного порта все входы порта А заземляют и используют порт В. Упрощенная функциональная схема работы ЦАП в таком режиме показана на рис. 11. При этом ЦАП осуществляет обработку цифровых кодов со скоростью до  $1,25 \times 10^9$  выб/с, частота тактовых импульсов для входной информации DCKIP/N составляет 625 МГц, частота тактовых импульсов СКР/N вдвое больше — 1,25 МГц. Временные диаграммы обработки информации в режиме одиночного входного порта иллюстрирует рис. 12.

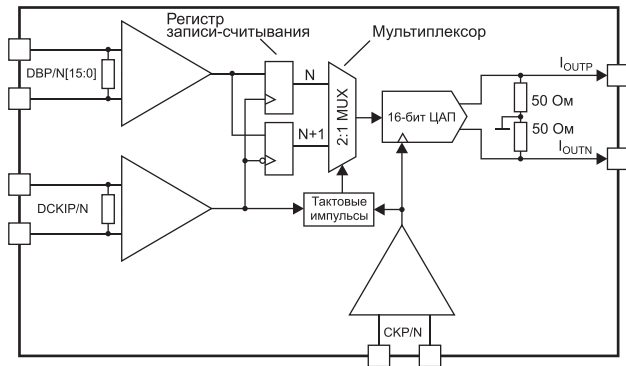


Рис. 11. Упрощенная функциональная схема обработки информации в режиме одиночного порта

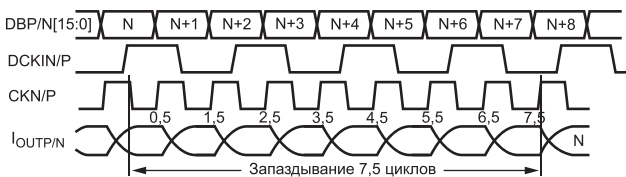


Рис. 12. Временные диаграммы обработки информации в режиме одиночного порта

В таком режиме регистр записи и считывания цифровых кодов образован двумя группами триггеров, причем первая тактируется фронтом тактирующих импульсов DCKIP/N, а вторая — спадом (рис. 11), о чем свидетельствует условное графическое обозначение инверсии на входе тактовых импульсов нижней пары групп триггеров.

При появлении фронта тактового импульса DCKIP/N в верхнюю группу триггеров записывается информация байта N, а в нижнюю группу по спадом тактового импульса — байта N+1.

После того как информация из двух байтов выбрана и записана в группу регистров, мультиплексор по тактовым импульсам СКР/N, частота которых вдвое больше DCKIP/N, производит перевыборку входной информации, объединяя биты из двух соседних байтов и передавая этот 16-битный код для обработки в ЦАП. В результате через несколько циклов тактовых импульсов СКР/N, необходимых ЦАП для обработки преобразованного цифрового кода, на выводах  $I_{OUTP}$

и  $I_{OUTN}$  появится аналоговый эквивалент тока, соответствующий полученной по линиям связи цифровой информации.

Затем, аналогично по фронту и спаду следующего тактового импульса, записывается информация N+2 и N+3 байтов, и т.д. Важно отметить, что, как показано на рис. 12, запаздывание между полученным через порт В цифровым кодом и возникновением его аналогового эквивалента на выходе ЦАП составляет 7,5 тактового цикла СКР/N.

### Обработка информации в режиме сдвоенного входного порта

Рассмотрим процесс обработки поступающей информации в режиме сдвоенного входного порта по упрощенной функциональной схеме, показанной на рисунке 13.

На временных диаграммах обработки информации (рис. 14) показано, что на порт А поступают четные (N, N+2, N+4, ..., N+10) байты из 16 бит входной информации, и одновременно с этим на порт В — комплементарные к четным нечетные (N+1, N+3, ..., N+11) байты. Запись в регистры хранения и выборка входной информации синхронизированы тактовыми импульсами DCKIP/N, а выборка из регистров, подаваемая в ЦАП, и их преобразование в аналоговый сигнал синхронизированы тактовыми импульсами СКР/N.

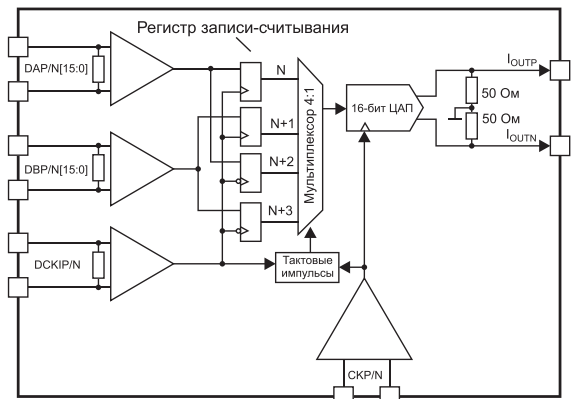


Рис. 13. Упрощенная функциональная схема обработки информации в режиме сдвоенного порта

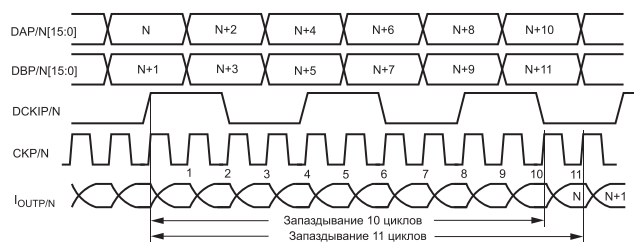


Рис. 14. Временные диаграммы обработки информации в режиме сдвоенного порта

При появлении фронта тактового импульса DCKIP/N в регистр, состоящий из четырех групп триггеров (рис. 13), в верхнюю пару записывается информация байтов N и N+1,

а в нижнюю пару по спаду тактового импульса — байты N+2 и N+3, поскольку для них тактовые импульсы инвертируются.

После того как информация из двух комплементарных потоков по портам А и В выбрана и записана в группу регистров, мультиплексор по тактовым импульсам СКР/Н, частота которых всегда в четыре раза больше ДСКР/Н, производит переборку входной информации, объединяя предшествующие данные от порта А с последующими данными от порта В и передавая этот «конвейерный» поток для последующей обработки в ЦАП. В режиме двояного порта при максимальной скорости преобразования в ЦАП  $2,5 \times 10^9$  выб/с тактовую частоту СКР/Н устанавливают равной 2,5 ГГц, а частоту ДСКР/Н — равной 625 МГц. Но отправку цифровых кодов в порты А и В осуществляют со скоростью  $1,25 \times 10^9$  выб/с для каждого порта. Это характеризует регистр записи и считывания цифровых данных в режиме двояного порта удвоенной скоростью обработки данных (Double Data Rate, DDR), как это показано на рис. 8.

В результате через несколько циклов тактовых импульсов СКР/Н, необходимых ЦАП для обработки преобразованного цифрового кода, на выводах  $I_{OUTP}$  и  $I_{OUTN}$  появится аналоговый эквивалент тока, соответствующий полученной по линиям связи цифровой информации.

Затем аналогично по фронту и спаду следующего тактового импульса записывается информация N+4, N+5 и N+6, N+7 байтов, и т. д. Нетрудно заметить, что, как показано на рис. 12, запаздывание между полученным через порт А цифровым кодом и возникновением его аналогового эквивалента на выходе ЦАП составляет 10 тактовых циклов СКР/Н, для порта В такое запаздывание составляет 11 циклов.

На рисунке 13 представлен генератор шаблонов, предназначенный для отладки и совершенствования аппаратного комплекса, базирующегося на микросхеме LTC2000. Независимо от присутствия на входных портах сигналов DAP/Н [15:0], DBP/Н [15:0] и ДСКР/Н, в любой произвольный момент времени программными средствами может быть включен генератор шаблонов, перехватывающий управление мультиплексором по его логической структуре «ИЛИ», входы которой обозначены символом «1». Для реализации такой возможности потребуется предварительно в один из регистров хранения и считывания цифровой информации последовательного периферийного интерфейса SPI по указанному в спецификации адресу записать 128 байт цифровой информации, соответствующих заданному образцу генерируемого шаблона. Отправка записанного кода данных в ЦАП и воссоздание требуемого выходного тестового сигнала инициируется по команде включения генератора шаблона, а через 1 мс происходит синхронизация мультиплексора, после чего исполняется команда чтения 64 двухбайтных выборок. Это всего лишь одна полезная и важная особенность функционирования интерфейса SPI. Рассмотрим его подробнее.

## ЦАП

Сформированный мультиплексором цифровой код со скоростью до  $2,5 \times 10^9$  выб/с поступает на вход ЦАП и обрабатывается таким образом, чтобы в нагрузочной токовой петле, подключенной к дифференциальным выводам  $I_{OUTP}$  и  $I_{OUTN}$ , генерировался соответствующий цифровому коду переменный ток, значение которого задается программно-аппаратными средствами.

К аппаратным средствам можно отнести внутренний контур регулирования выходного тока, включающий ряд элементов (рис. 8): источник образцового напряжения ИОН 1,25 В, соединенный через резистор 10 кОм с выводом микросхемы REFIO (Reference In Out — «вход и выход образцового напряжения»); компаратор выходного тока КВТ, управляющий следящим транзистором Q1 и регулируемым усилителем тока РУТ; набор элементарных источников тока в микросхеме. Вариант типового применения микросхемы, показанный на рис. 15 в [1], предполагает заземление вывода FSADJ (Full Scale Adjust — подстройка полномасштабного режима) через резистор 500 Ом и шунтирование вывода REFIO конденсатором 0,1–10 мкФ, улучшающим шумовые параметры выходного сигнала.

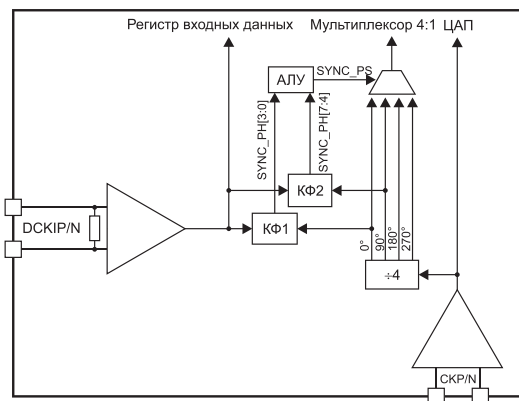


Рис. 15. Упрощенная функциональная схема синхронизации тактовых импульсов мультиплексора

Компаратор КВТ устанавливает ток транзистора Q1 по выводу микросхемы FSADJ таким, чтобы создаваемое им падение напряжения на данном выводе через резистор 500 Ом сравнялось с образцовым, т. е.  $1,25:500 = 2,5$  мА. Одновременно с этим такой же управляющий сигнал поступает на вход регулируемого усилителя тока РУТ. При программно установленном по умолчанию единичном значении коэффициента усиления в контуре регулирования полномасштабный образ вытекающего и втекающего по выходным выводам  $I_{OUTP}$  и  $I_{OUTN}$  тока представляет собой точную копию образцового тока с коэффициентом масштабирования, равным 16, что составляет  $2,5 \times 16 = 40$  мА. Как некоторую вербальную модель, отражающую суть процесса генерирования требуемого значения тока, в [1] предлагают считать, что с помощью дифференциальных переключателей к выводам микросхемы внутри нее будет подключено ровно такое число элементарных источников тока, чтобы вытекающий и втекающий ток в сумме соответствовал требуемому значению 40 мА.

На рис. 8 показаны внутренние нагрузочные резисторы 50 Ом, подключенные к выводам микросхемы. Они необходимы для согласования с двухпроводной линией связи, к которой с другой стороны присоединена внешняя нагрузка ([1], рис. 9). Как правило, ее эквивалентное сопротивление также составляет 50 Ом. Если нагрузка несимметрична, применяют трансформаторное включение нагрузки ([1], рис. 10), устраняющее рассогласование. При таких условиях общая нагрузка ЦАП по каждому выводу составит  $50:2 = 25$  Ом, из чего следует, что максимальное напряжение на выводах относительно общего провода составит  $40 \times 25 = 1$  В. При другой внешней нагрузке полученный результат должен быть уточнен дополнительно.

Коэффициент усиления в контуре регулирования выходного тока может быть программно откорректирован как в большую, так и в меньшую сторону в интервале 89–114 %, что составляет 35,7–45,7 мА. Еще большую возможность регулирования предоставляет применение внешнего источника опорного напряжения, подключаемого к выводу REFIO, но устанавливать выходной ток вне интервала 10–60 мА не рекомендуется.

Разумеется, приведенные расчеты показывают лишь максимальные энергетические возможности ЦАП по формированию выходного комплементарного тока. Фактически его значение будет определяться цифровым кодом, принимаемым через LVDS-интерфейс. Причем разрешающая способность по установке программируемого значения тока, зависящая от разрядности кода (в нашем случае — 16 бит), будет не хуже 0,2% от полномасштабного значения 40 мА, что составляет 80 мкА.

### Внутренняя синхронизация тактовых импульсов мультиплексора

На рисунке 15 представлена упрощенная функциональная схема внутреннего синхронизатора тактовых импульсов. Синхронизатор контролирует фазу входных тактовых импульсов DCKIP/N с помощью компараторов фазы КФ1 и КФ2. В режиме двояного входного порта, как показано на рис. 14, частота повторения тактовых импульсов входной информации вчетверо меньше, чем у тактовых импульсов мультиплексора СКР/N. Выборка информации в регистр входных данных производится как по фронту, так и по спаду тактовых импульсов DCKIP/N, что соответствует их фазовому сдвигу относительно фронта (0°) и спада (180°). По мере прогрева кристалла ЦАП после включения питания, а также при колебаниях температуры окружающей среды, неминуемо будет происходить медленный фазовый дрейф между тактовыми импульсами DCKIP/N и СКР/N, который может привести к некорректной записи входной информации в регистр данных и ошибочному ее считыванию мультиплексором. Синхронизатор по мере необходимости автоматически подстраивает фазу сигналов управления мультиплексора, что гарантирует достоверность поступающей в ЦАП информации.

Рассмотрим работу синхронизатора (рис. 15). Если воспользоваться таблицей 11 в официальном даташите [1], можно установить, что работа синхронизатора возможна как в автоматическом, так и в ручном режиме. В автоматическом после включения напряжения питания происходит программный сброс (обнуление) всех регистров, а затем параметру DCKI\_EN (DCKIP/N Clock Receiver Enable – «приемник входных тактовых импульсов включить») в регистре SPI по адресу 0x03, бит 0, присваивается значение «1». В течение 1 мс входные тактовые импульсы СКР/N и DCKIP/N стабилизируются, иницируется синхронизатор, после чего LVDS-приемник начинает принимать входные данные.

Компараторы фазы КФ1, КФ2 оценивают фазовый сдвиг тактовых импульсов входных данных DCKIP/N относительно выхода делителя импульсов СКР/N, управляющих мультиплексором. Выходы этих фазовых компараторов SYNC\_PH (Synchronizer Phase Comparator Outputs) можно наблюдать в регистре 0x06, причем компаратор КФ1 отражает результат сравнения в младших битах байта [0:3], а КФ2 — в старших [4:7]. Данный параметр доступен только для чтения и не может быть откорректирован.

Для автокоррекции фазы тактовых импульсов, управляющих работой мультиплексора, выходы КФ1 и КФ2 подают на вход арифметико-логического устройства (АЛУ), которое формирует сигнал SYNC\_PS (Synchronizer Phase Select – «выбор фазы синхронизатора»). В автоматическом режиме работы синхронизатора биты SYNC\_PS (регистр 0x05, биты [1:0]) доступны только для чтения и автоматически подстраиваются синхронизатором по мере необходимости с учетом степени расфазировки входных тактовых импульсов DCKIP/N, о чем свидетельствует значение параметра SYNC\_PH.

Выбор автоматического или ручного режима работы осуществляется по сигналу SYNC\_MSYN (Synchronizer Manual Mode Select – «выбор ручного режима синхронизатора»). В автоматическом режиме SYNC\_MSYN = 0.

При необходимости пользователь может отключить автоматический режим синхронизатора, установив SYNC\_MSYN = 1 (регистр 0x05, бит 2) и принудительно записав значения SYNC\_PS в зависимости от аргумента SYNC\_PH в соответствии с таблицей 2.

### Тестовый вывод данных TSTP/N

Встроенный в микросхему LTC2000 тестовый мультиплексор с выходом, подключенным к выводам TSTP/N (рис. 8), может использоваться для измерения температуры кристалла либо контроля расфазировки между LVDS-входами тактовых импульсов и цифровых данных.

Чтобы включить контроль температуры кристалла микросхемы, тестовый мультиплексор должен быть отключен, о чем в регистре 0x18, бит 6, будет свидетельствовать параметр LMX\_EN = 0 (LVDS Test Mux Select Enable – «тестовый мультиплексор по интерфейсу LVDS недоступен»). Взамен этого в регистре 0x19, бит 0, потребуется активировать параметр TDIO\_EN = 1 (Temperature Diode Enable – «температурный измерительный диод доступен»). В результате к выводам TSTP/N будет подключен внутренний диод, измеряющий температуру кристалла микросхемы. Причем в зависимости от выбора в регистре 0x19, бит 1, значения параметра TDIO\_SEL (Temperature Diode Select – «выбор температурного диода») будет реализован один из двух возможных способов измерения. Если данный

Таблица 2. Справочные данные для управления синхронизатором в ручном режиме

SYNC_PH	03	04	05	15	25	35	45	55	54	53	52	51	50	40	30	20	10	00	01	02
SYNC_PS	10	10	10	10	10	00	00	00	00	00	01	01	01	01	01	11	11	11	11	11

параметр установить равным 1, температурно-зависимое напряжение можно непосредственно наблюдать между выводами TSTP и TSTN. При этом температура кристалла может быть вычислена как  $T_c = +25^\circ\text{C} + (2,02 \text{ В} - V_{\text{TSTP}}) / (5,5 \text{ мВ}/^\circ\text{C})$ . Типичная некалиброванная точность  $\pm 5^\circ\text{C}$ . Если установить параметр выбора TDIO\_SEL=0, температуру кристалла измеряют с помощью внешних температурных датчиков LTC2991 или LTC2997.

При отладке комплекса, использующего ЦАП LTC2000, важно убедиться, что входы LVDS (DCKIP/N, DAP/N, DBP/N) достаточно точно синхронизированы. Расфазировка между тактовыми импульсами и цифровыми данными, обычно формируемыми блоком ПЛИС (программируемых логических интегральных схем), или из-за несоответствия длины печатных проводников на плате может привести к ошибочному вводу цифровых кодов. С целью контроля фазировки входных тактовых импульсов и цифровых кодов в микросхеме необходимо активировать встроенный тестовый мультиплексор (рис. 8), позволяющий через выводы микросхемы TSTP/N проверить единовременно согласование одной пары входных сигналов LVDS.

Для управления тестовым мультиплексором используют регистр SPI 0x18. Поскольку тестовый мультиплексор применяют также и для контроля температуры кристалла микросхемы, вначале следует убедиться, что данная опция в данный момент не используется, о чем будет свидетельствовать значение параметра TDIO\_EN = 0. Затем в регистре 0x18, бит 6, устанавливают параметр LMX\_EN = 1, тем самым подключая к выводам TSTP/N тестовый мультиплексор. Сигнал от входных данных LVDS будет направляться на выводы TSTP/N дифференциальной парой NMOS-транзисторов, поддерживая вытекающий ток 6,6 мА на внешней нагрузке, в качестве которой используют соединенные с источником питания 3,3 В резисторы 50 Ом. Такое соединение позволяет оценивать временные параметры наблюдаемых сигналов на высокоскоростном осциллографе.

Для проведения измерений подают входные тактовые импульсы СКР/N и ДСКР/N, а затем в режиме сдвоенного порта подают входной сигнал с цифровыми кодами, показанными на рис. 16. Этот шаблон упрощает сравнение временных сдвигов от фронта к фронту и от спада к спаду для каждой входной пары сигналов, что становится вполне очевидным после сравнения 16 бит преобразованного шестнадцатеричного кода к двоичному:

AAAA=1010101010101010  
5555=0101010101010101



Рис. 16. Входной тестовый сигнал ЦАП при измерении расфазировки сигнала синхронизации и цифровых кодов.

Алгоритм проведения измерений предполагает, что при этом требуется установить требуемый цифровой код в регистре 0x18, причем значение бита 0 определяет содержание параметра LMX\_MSEL «0» — выбрать первый сигнал из анализируемой пары, «1» — выбрать второй сигнал с его

инверсией), значение битов [5:1] определяет содержание параметра LMX\_ADR, который устанавливает тестовую пару входных сигналов для сравнения их временных параметров в соответствии с таблицей 3, бит 6 задает значение параметра LMX\_EN, как указывалось выше.

Таблица 3. Выбор пары тестируемых соседних LVDS-сигналов по содержимому битов [5:0] в регистре 0x18 интерфейса SPI

LMX_ADR	LMX_MSEL = 0	LMX_MSEL = 1
00000	DA14P/N	DA15N/P
00001...01001	DA[13:5]P/N	DA[14:6]N/P
01010	DA4P/N	DA5N/P
01011	DA3P/N	DA4N/P
01100	DA2P/N	DA3N/P
01101	DA1P/N	DA2N/P
01110	DA0P/N	DA1N/P
01111	DCKIP/N	DA0N/P
10000	DB15P/N	DCKIN/P
10001	DB14P/N	DB15N/P
10010...11010	DB[13:5]P/N	DB[14:6]N/P
11011	DB4P/N	DB5N/P
11100	DB3P/N	DB4N/P
11101	DB2P/N	DB3N/P
11110	DB1P/N	DB2N/P
11111	DB0P/N	DB1N/P

Например, чтобы сравнить DB15P/N с DCKIP/N, сначала необходимо записать 0x60 в регистр 0x18, что соответствует LMX\_EN=1, LMX\_ADR=10000 и LMX\_SEL=0. Сигнал от DB15P/N будет направлен на выводы TSTP/N и становится доступным для анализа. На втором этапе потребуется записать 0x61 в регистр 0x18, что установит LMX\_SEL=1 и заставит DCKIP/N появиться на выводах TSTP/N с перевернутой полярностью. Это позволяет зарегистрировать расфазировку между тактовыми импульсами и входами DB15P/N. Затем измерения повторяют для входов DB15P/N и DB14P/N, что позволяет вычислить его расфазировку по отношению к DCKIP/N, и т. д. для каждой пары входов. Таким способом можно определить расфазировку всех входных данных LVDS (DAP/N, DBP/N) относительно DCKIP/N с точностью до 100 пс.

Во время нормального функционирования микросхемы рекомендуется поддерживать значение параметра LMX\_EN равным 0 для исключения влияния тестового мультиплексора.

Бесплатные образцы и отладочные платы описанных в статье изделий можно заказать по адресу [Aleksandr.Fedorov@ptelectronics.ru](mailto:Aleksandr.Fedorov@ptelectronics.ru).



## Литература

- <http://cds.linear.com/docs/en/datasheet/2000f.pdf>
- <http://www.linear.com/demo/DC2085>
- <http://www.linear.com/solutions/5137>